

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-36888
(P2014-36888A)

(43) 公開日 平成26年2月27日(2014.2.27)

(51) Int.CI.	F 1	テーマコード(参考)
A61B 1/00 (2006.01)	A 61 B 1/00	300 B 2 H04 O
A61B 1/04 (2006.01)	A 61 B 1/04	370 4 C16 I
H04N 7/18 (2006.01)	H04 N 7/18	M 5 C05 4
G02B 23/24 (2006.01)	G02 B 23/24	B

審査請求 有 請求項の数 10 O L (全 25 頁)

(21) 出願番号	特願2013-223463 (P2013-223463)	(71) 出願人	500498763 ジャイラス エーシーエムアイ インク アメリカ合衆国 マサチューセッツ サウスバーロウ ターンパイク ロード 13 6
(22) 出願日	平成25年10月28日 (2013.10.28)	(74) 代理人	100075258 弁理士 吉田 研二
(62) 分割の表示	特願2011-7859 (P2011-7859) の分割	(74) 代理人	100096976 弁理士 石田 純
原出願日	平成17年9月14日 (2005.9.14)	(72) 発明者	アドラー ドロン イスラエル ネシャー ハヌリオット ストリート 24
(31) 優先権主張番号	10/942,210	(72) 発明者	フィンクマン シャイ イスラエル ハイファ マーテイン ババ ー ストリート 17
(32) 優先日	平成16年9月15日 (2004.9.15)		
(33) 優先権主張国	米国(US)		

最終頁に続く

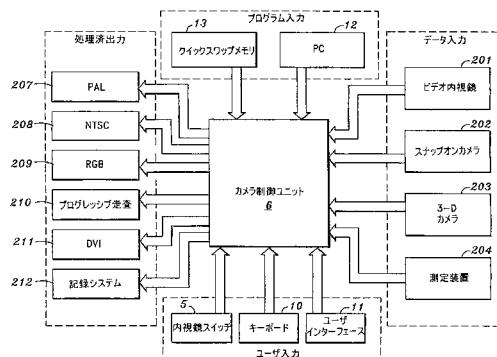
(54) 【発明の名称】複数の入力装置をサポートする内視鏡検査装置

(57) 【要約】

【課題】本発明は、複数の入力装置をサポートすることができるカメラ制御ユニットを有するリモートヘッディメージングシステムを提供する。

【解決手段】このカメラ制御ユニット(6)は、それが接続された入力装置を検出し、カメラ制御ユニットの内部機能を、それにしたがって変更する。そのような変更は、クロックタイミングの変更、ビデオ出力パラメータの変更、及び画像処理ソフトウェアの変更を含む。加えて、ユーザが、取り付けられているヘッドに基づいて、ソフトウェアプログラム指示及びハードウェア構成情報の異なるセットを選択することができる。このリモートヘッディメージングシステムは、構成における変更を容易にするために、フィールドプログラマブルゲートアレイ(FPGA)のようなフィールドプログラマブル回路を利用する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

メモリを備えるカメラヘッドと、

前記カメラヘッドの動作を制御し且つ前記カメラヘッドから取得したカメラデータを処理するためのカメラ制御ユニットと、を備え、

前記カメラ制御ユニットは、

前記カメラヘッドに対する電気的インターフェース、および、前記カメラヘッドから取得されたカメラデータが示す画素値の調整を行う画素前処理部を再構成するための再構成可能コントローラと、

前記取得されたカメラデータに対して画像処理動作を実行するデジタル信号プロセッサと、

前記電気的インターフェース、および、前記画素前処理部を再構成するための構成情報の複数のセットを記憶し、且つ前記画像処理動作を実行するために前記デジタル信号プロセッサによって実行可能なプログラム指示の複数のセットを記憶する、持続性再書き込み可能メモリと、

前記デジタル信号プロセッサおよび前記再構成可能コントローラによって使用されるべきプログラム指示並びに構成情報の前記セットの選択を取得する入力装置と、

前記選択されたプログラム指示を前記デジタル信号プロセッサにロードし、前記カメラヘッドのメモリからデータを読み出し、且つ前記再構成可能コントローラを前記選択された構成情報および前記カメラヘッドのメモリから読み出されたデータに従って構成する、システムコントローラと、

を備え、

前記再構成可能コントローラは、プログラマブル論理回路である、システム。

【請求項 2】

前記入力装置によって選択可能なプログラム指示および構成情報の前記セットを表示する表示装置をさらに備える、請求項 1 に記載のシステム。

【請求項 3】

前記システムコントローラが前記表示装置を制御して、カメラヘッドタイプの検出に応答して、前記持続性再書き込み可能メモリに記憶された利用可能なプログラム指示および構成情報の前記セットを表示する、請求項 2 に記載のシステム。

【請求項 4】

メモリを備えるカメラヘッドと、

前記カメラヘッドの動作を制御し且つ前記カメラヘッドから取得したカメラデータを処理するためのカメラ制御ユニットと、を備え、

前記カメラ制御ユニットは、

前記カメラヘッドに対する電気的インターフェース、および、前記カメラヘッドから取得されたカメラデータが示す画素値の調整を行う画素前処理部を再構成するための再構成可能コントローラと、

前記取得されたカメラデータに対して画像処理動作を実行するデジタル信号プロセッサと、

前記画像処理動作を実行するために前記デジタル信号プロセッサによって実行可能なプログラム指示を記憶し、且つ前記電気的インターフェース、および、前記画素前処理部を再構成するための構成情報を記憶する、持続性再書き込み可能メモリと、

前記プログラム指示を前記デジタル信号プロセッサにロードし、前記カメラヘッドのメモリからデータを読み出し、且つ前記再構成可能コントローラを前記構成情報および前記カメラヘッドのメモリから読み出されたデータに従って構成する、システムコントローラと、

を備え、

前記再構成可能コントローラは、プログラマブル論理回路である、システム。

【請求項 5】

10

20

30

40

50

前記持続性再書き込み可能メモリがフラッシュメモリである、請求項 1 から 4 のいずれか 1 項に記載のシステム。

【請求項 6】

前記再構成可能コントローラがフィールドプログラマブルゲートアレイである、請求項 1 から 5 のいずれか 1 項に記載のシステム。

【請求項 7】

前記再構成可能コントローラのための前記構成情報がコンパイルされた V H D L プログラム指示であり、

前記デジタル信号プロセッサによって実行可能な前記記憶されたプログラム指示が、実行可能なコードである、請求項 1 から 6 のいずれか 1 項に記載のシステム。 10

【請求項 8】

シリアルポートインターフェースをさらに備える、請求項 1 から 7 のいずれか 1 項に記載のシステム。

【請求項 9】

前記システムコントローラが、プログラム指示および構成情報を、前記シリアルポートインターフェースに接続された P C から前記持続性再書き込み可能メモリにロードする、請求項 8 に記載のシステム。

【請求項 10】

前記システムコントローラが、プログラム指示および構成情報を、前記シリアルポートインターフェースに接続されたクイックスワップフラッシュメモリから前記持続性再書き込み可能メモリにロードする、請求項 8 に記載のシステム。 20

【発明の詳細な説明】

【技術分野】

【0001】

【関連出願への相互参照】

本願は、ドロン・アドラーによって2004年9月15日に出願された米国特許出願第10 / 942,210号の優先権及び恩恵を主張しており、その出願は、全体としてリストされたように参照によってここに援用される。 30

【0002】

本発明は、一般的にはリモードヘッドイメージングに関するもので、より具体的には、複数の入力装置をサポートする多目的カメラ制御ユニットを有する内視鏡検査装置に関するものである。 30

【背景技術】

【0003】

リモードヘッドイメージング装置、より具体的には内視鏡及びビデオ内視鏡は、空洞、体の管、中空の器官、及びその他の離れた位置の内部を見るために、医療的及び産業的な用途にて使用される。典型的には、ビデオ内視鏡は、カメラ制御ユニットに取り付けられた剛体の又はフレキシブルなスコープの遠端（患者に最も近い端）カメラのような入力装置からなっている。カメラ制御ユニットは、典型的には、パワーをカメラに供給し、カメラの動作を制御し、カメラから生のビデオ及び非ビデオデータを取得し、処理済ビデオデータをビデオディスプレーに出力する。 40

【0004】

しかし、ビデオ内視鏡及びリモートヘッドイメージングシステムのための従来のカメラ制御ユニットは、使用に制約がある。なぜなら、それらは一つのタイプの入力装置しかサポートしないからである。例えば、遠端カメラを有するフレキシブルスコープのための従来のカメラ制御ユニットは、実体イメージングヘッドを制御することができない。従来のシステムでは、ある用途のために異なる入力装置が必要であれば、それはまた、その特定の入力装置との使用のために適合された異なるカメラ制御ユニットを使用する必要もある。 50

【発明の概要】

【発明が解決しようとする課題】**【0005】**

本発明は、複数の異なる入力装置をサポートするように、それ自身及び／又はその内部機能を再構成するカメラ制御ユニットを有するリモートヘッドイメージングシステムを設けることによって、これらの欠点を克服する。

【課題を解決するための手段】**【0006】**

本発明に係るシステムは、メモリを備えるカメラヘッドと、前記カメラヘッドの動作を制御し且つ前記カメラヘッドから取得したカメラデータを処理するためのカメラ制御ユニットと、を備え、前記カメラ制御ユニットは、前記カメラヘッドに対する電気的インターフェース、および、前記カメラヘッドから取得されたカメラデータが示す画素値の調整を行う画素前処理部を再構成するための再構成可能コントローラと、前記取得されたカメラデータに対して画像処理動作を実行するデジタル信号プロセッサと、前記電気的インターフェース、および、前記画素前処理部を再構成するための構成情報の複数のセットを記憶し、且つ前記画像処理動作を実行するために前記デジタル信号プロセッサによって実行可能なプログラム指示の複数のセットを記憶する、持続性再書き込み可能メモリと、前記デジタル信号プロセッサおよび前記再構成可能コントローラによって使用されるべきプログラム指示並びに構成情報の前記セットの選択を取得する入力装置と、前記選択されたプログラム指示を前記デジタル信号プロセッサにロードし、前記カメラヘッドのメモリからデータを読み出し、且つ前記再構成可能コントローラを前記選択された構成情報および前記カメラヘッドのメモリから読み出されたデータに従って構成する、システムコントローラと、を備え、前記再構成可能コントローラは、プログラマブル論理回路である。

【0007】

また、本発明に係るシステムにおいては、望ましくは、前記入力装置によって選択可能なプログラム指示および構成情報の前記セットを表示する表示装置をさらに備える。

【0008】

また、本発明に係るシステムにおいては、望ましくは、前記システムコントローラが前記表示装置を制御して、カメラヘッドタイプの検出に応答して、前記持続性再書き込み可能メモリに記憶された利用可能なプログラム指示および構成情報の前記セットを表示する。

【0009】

また、本発明に係るシステムは、メモリを備えるカメラヘッドと、前記カメラヘッドの動作を制御し且つ前記カメラヘッドから取得したカメラデータを処理するためのカメラ制御ユニットと、を備え、前記カメラ制御ユニットは、前記カメラヘッドに対する電気的インターフェース、および、前記カメラヘッドから取得されたカメラデータが示す画素値の調整を行う画素前処理部を再構成するための再構成可能コントローラと、前記取得されたカメラデータに対して画像処理動作を実行するデジタル信号プロセッサと、前記画像処理動作を実行するために前記デジタル信号プロセッサによって実行可能なプログラム指示を記憶し、且つ前記電気的インターフェース、および、前記画素前処理部を再構成するための構成情報を記憶する、持続性再書き込み可能メモリと、前記プログラム指示を前記デジタル信号プロセッサにロードし、前記カメラヘッドのメモリからデータを読み出し、且つ前記再構成可能コントローラを前記構成情報および前記カメラヘッドのメモリから読み出されたデータに従って構成する、システムコントローラと、を備え、前記再構成可能コントローラは、プログラマブル論理回路である。また、本発明の実施形態に係るシステムにおいては、前記再構成可能コントローラは、外部メモリに対しデータの読み書きを行うメモリ制御部を備え、前記メモリ制御部は、前記カメラヘッドから取得されたカメラデータを記憶する外部メモリに対するアドレスを生成する、再構成可能なアドレス生成器を備える。また、本発明の実施形態に係るシステムにおいては、前記再構成可能コントローラは、外部メモリに対しデータの読み書きを行うメモリ制御部を備え、前記メモリ制御部は、前記デジタル信号プロセッサの処理によって生成された画像データを記憶する外部メモリ

10

20

30

40

50

に対するアドレスを生成する、再構成可能なアドレス生成器を備える。

【0010】

また、本発明に係るシステムにおいては、望ましくは、前記持続性再書き込み可能メモリがフラッシュメモリである。

【0011】

また、本発明に係るシステムにおいては、望ましくは、前記再構成可能コントローラがフィールドプログラマブルゲートアレイである。

【0012】

また、本発明に係るシステムにおいては、望ましくは、前記再構成可能コントローラのための前記構成情報がコンパイルされたVHDLプログラム指示であり、前記デジタル信号プロセッサによって実行可能な前記記憶されたプログラム指示が、実行可能なコードである。

10

【0013】

また、本発明に係るシステムは、望ましくは、シリアルポートインターフェースをさらに備える。

【0014】

また、本発明に係るシステムにおいては、望ましくは、前記システムコントローラが、プログラム指示および構成情報を、前記シリアルポートインターフェースに接続されたPCから前記持続性再書き込み可能メモリにロードする。

20

【0015】

また、本発明に係るシステムにおいては、望ましくは、前記システムコントローラが、プログラム指示および構成情報を、前記シリアルポートインターフェースに接続されたクイックスワップフラッシュメモリから前記持続性再書き込み可能メモリにロードする。

30

【0016】

また、本発明の関連技術は、センサヘッドの動作を制御し且つ前記センサヘッドから取得したカメラデータを処理するためのカメラ制御ユニットであって、複数の異なるセンサタイプのセンサヘッドに取り外し可能に接続可能な電気的インターフェースと、前記電気的インターフェースのタイミング及び制御のための再構成可能コントローラと、前記センサヘッドから識別情報を読み、前記識別情報に基づいて前記電気的インターフェースのタイミング及び制御のために前記再構成可能コントローラを再構成するシステムコントローラと、を備える。

30

【0017】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能コントローラがフィールドプログラマブルゲートアレイである。

【0018】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記識別情報が、カメラタイプ、バージョン、シリアル番号、画像サイズのタイプ、又は画像フォーマットタイプのいずれかを含む。

【0019】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能コントローラが、前記センサによって使用されるセンサクロック信号を生成するセンサクロック生成器と、前記取得したデータを標準フォーマットに変換するデータフォーマッタと、入力画素クロックと画像サイズ制御信号とを前記データフォーマッタに供給するセンサタイミングブロックと、を備える。

40

【0020】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記標準フォーマットが10ビットパラレルフォーマットである。

【0021】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記画像サイズ制御信号が、開始／終了画素及び開始／終了ライン画素制御信号を含む。

50

【 0 0 2 2 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記システムコントローラが前記開始／終了画素及び開始／終了ライン画素制御信号を再構成してデジタルズーム効果を実現する。

【 0 0 2 3 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記センサクロック生成器が制御可能な分割器又はフェーズロックループ回路である。

【 0 0 2 4 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能コントローラに含まれた画素前処理回路をさらに備えており、前記画素前処理回路が前記取得されたカメラデータに対して前処理動作を実行する。

10

【 0 0 2 5 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記前処理動作が、誤画素訂正、黒バイアシング、又は輝度補正のいずれかを含む。

【 0 0 2 6 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記画素前処理回路が、前記システムコントローラによって前記識別情報に基づいて再構成され、異なる前処理動作を実行する。

20

【 0 0 2 7 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記取得されたカメラデータに対する画像処理動作を実行するデジタル信号プロセッサをさらに備える。

【 0 0 2 8 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記システムコントローラが、前記画像処理動作を前記デジタル信号プロセッサに、前記識別情報に基づいてロードする。

30

【 0 0 2 9 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記システムコントローラが前記識別情報を、メモリに記憶された構成情報及びプログラム指示に関連したルックアップテーブルエントリにマッチングする。

【 0 0 3 0 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記システムコントローラが前記再構成可能コントローラを前記関連付けられた構成情報で再構成し、前記システムコントローラが、前記デジタル信号プロセッサによって実行された前記画像処理動作を、前記関連付けられたプログラム指示を前記デジタル信号プロセッサにロードすることによってロードする。

30

【 0 0 3 1 】

また、本関連技術は、センサヘッドから取得されたカメラを処理し且つ前記処理済カメラデータを複数の異なるビデオフォーマットで出力するカメラ制御ユニットであって、前記処理済カメラデータの表示をフォーマットし、出力タイミング信号を生成する再構成可能表示フォーマッタと、前記複数のビデオフォーマットの一つを選択するビデオフォーマット選択ユニットと、前記再構成可能表示フォーマッタを、前記ビデオフォーマット選択ユニットの内部のビデオフォーマットの選択に応答してフォーマットし且つタイミング信号を出力するように再構成する、システムコントローラと、を備える。

40

【 0 0 3 2 】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記フォーマットされたカメラデータをエンコードするビデオエンコーダをさらに備えており、前記ビデオエンコーダがNTSCフォーマットされた出力とPALフォーマットされた出力との両方を作成する。

【 0 0 3 3 】

50

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能表示フォーマッタが、前記コントローラから表示テキストを取得する重ね書きユニットと、前記重ね書きユニットからの前記表示テキストを前記処理済データユニットと多重させる表示マルチプレクサと、前記表示マルチプレクサ及び重ね書きユニットのタイミング及び表示サイズの制御のための表示タイミングユニットと、をさらに含む。

【0034】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記システムコントローラが前記フォーマッティングを、前記表示タイミングユニットのタイミング及び表示サイズの制御を再構成することによって再構成する。

【0035】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記表示サイズ制御が前記選択されたビデオフォーマットの表示寸法に応答して再構成される。

【0036】

また、本発明の関連技術は、センサヘッドの動作を制御し且つ前記センサヘッドから取得したカメラデータを処理するためのカメラ制御ユニットであって、再構成可能コントローラと、入力メモリと出力メモリとを含み、前記入力メモリ内のカメラデータを画像処理し、前記処理済カメラデータを前記出力メモリに出力する、デジタル信号プロセッサと、ビデオエンコーダと、を備えており、前記再構成可能コントローラが、前記カメラデータを前記センサヘッドから取得し、前記カメラデータを前記デジタル信号プロセッサの前記入力メモリにルーティングし、前記再構成可能コントローラが、前記デジタル信号プロセッサの前記出力メモリからの前記処理済カメラデータにアクセスし、前記処理済カメラデータを前記ビデオエンコーダにルーティングする。

【0037】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能コントローラがフィールドプログラマブルゲートアレイである。

【0038】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能コントローラが、前記カメラデータを前記デジタル信号プロセッサの前記入力メモリにルーティングし、前記デジタル信号プロセッサの前記出力メモリからの前記処理済カメラデータにホストプロセッサインターフェース（HPI）を使ってアクセスする。

【0039】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記HPIが直接メモリアクセス（DMA）プロトコルを使用して前記カメラデータを前記デジタル信号プロセッサの前記入力メモリにルーティングし且つ前記デジタル信号プロセッサの前記出力メモリからの前記処理済カメラデータにアクセスする。

【0040】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能コントローラのタイムベースが再構成可能である。

【0041】

また、本発明の関連技術は、センサヘッドの動作を制御し且つ前記センサヘッドから取得したカメラデータを処理するためのカメラ制御ユニットであって、クロック信号を生成するハードウェアクロックと、前記ハードウェアクロック信号を取得して前記ハードウェアクロック信号からDSPクロック信号を生成するデジタル信号プロセッサと、センサデータを第1のクロック信号に基づいて取得し且つ処理済ビデオデータを第2のクロック信号に基づいて出力する再構成可能コントローラであって、前記DSPクロック信号を取得して前記第1及び第2のクロック信号を生成する再構成可能論理アレイを有する再構成可能コントローラと、前記論理アレイを再構成して異なる第1及び第2のクロック信号を選択的に生成するシステムコントローラと、を備える。

【0042】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記デジ

10

20

30

40

50

タル信号プロセッサが第1及び第2のDSPクロック信号を生成し、前記システムコントローラがプログラム指示を前記デジタル信号プロセッサにロードして、異なる第1及び第2のDSPクロック信号を選択的に生成する。

【0043】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記再構成可能論理アレイが分割器又はフェーズロックループデバイスである。

【0044】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記論理アレイが、取り付けられたセンサヘッドのタイプに基づいて前記第1のクロック信号を生成するように再構成される。

10

【0045】

また、本発明の関連技術に係るカメラ制御ユニットにおいては、望ましくは、前記論理アレイが、出力表示フォーマットに基づいて前記第2のクロック信号を生成するように再構成される。

【0046】

また、本発明の関連技術は、複数の異なるセンサタイプのセンサヘッドに取り外し可能に接続可能な電気的インターフェースと前記電気的インターフェースのタイミング及び制御のための再構成可能制御回路とを含むカメラ制御ユニットの動作を制御するカメラ制御方法であって、センサヘッドを前記カメラ制御ユニットに取り付けるステップと、前記センサヘッドから識別情報を獲得するステップと、前記電気的インターフェースの制御回路のタイミング及び制御を、前記獲得された識別情報に基づいて再構成するステップと、を包含する。

20

【0047】

また、本発明の関連技術に係る方法においては、望ましくは、持続性再書き込み可能メモリにおいて、前記取り付けられたカメラヘッドに一致したプログラム指示及び識別情報の適切なセットを位置決めするステップと、1セットより多くのプログラム指示及び構成情報が位置決めされた場合に、プログラム指示及び構成情報の1セットの選択をユーザに問い合わせるステップと、をさらに含んでおり、前記再構成ステップが、前記獲得された識別情報と前記ユーザの選択とに基づいて、前記電気的インターフェースの制御回路のタイミング及び制御を再構成する。

30

【0048】

また、本発明の関連技術は、センサヘッドから取得したカメラデータを処理し、且つ前記処理済カメラデータをディスプレーと出力タイミング信号とに従って複数の異なるビデオフォーマットで出力するカメラ制御方法であって、前記複数のビデオフォーマットの一つを選択するステップと、前記ビデオフォーマットの選択に応答して前記表示をフォーマットするステップと、前記ビデオフォーマットの選択に応答して前記出力タイミング信号を生成するステップと、を包含する。

【0049】

また、本発明の関連技術は、センサヘッドからカメラデータを取得し、前記センサヘッドから取得したカメラデータを処理し、且つ前記処理済データを出力するカメラ制御方法であって、前記取得されたカメラデータを、ビデオ前処理シーケンスを通してデジタル信号プロセッサの第1のメモリまでルーティングする第1のルーティングステップと、前記第1のメモリに記憶された前記取得されたカメラデータに対して、前記デジタル信号プロセッサで画像処理動作を実行し、且つ前記処理済カメラデータを第2のメモリに記憶する、画像処理ステップと、前記第2のメモリ内の前記処理済カメラデータをビデオエンコーダにルーティングする第2のルーティングステップと、を包含しており、前記第1及び第2のルーティングステップが前記デジタル信号プロセッサから独立したコントローラによって実行される。

40

【0050】

本発明の一つの局面に従えば、センサヘッドの動作を制御し且つ前記センサヘッドから

50

取得したカメラデータを処理するためのカメラ制御ユニットが提供される。このカメラ制御ユニットは、複数の異なるセンサタイプのセンサヘッドに取り外し可能に接続可能な電気的インターフェースと、前記電気的インターフェースのタイミング及び制御のための再構成可能コントローラとを含む。カメラ制御ユニットはまた、前記センサヘッドから識別情報を獲得し、前記センサヘッドから獲得した識別情報に基づいて、前記電気的インターフェースのタイミング及び制御のための前記再構成可能コントローラを再構成するシステムコントローラも含む。

【0051】

本発明の好適な局面では、前記再構成可能コントローラがフィールドプログラマブルゲートアレイ(「FPGA」)である。10

【0052】

本発明の他の局面においては、カメラ制御ユニットは、センサヘッドのタイミング及び制御のための再構成可能コントローラを含み、これが、前記センサヘッドからカメラデータを取得し、前記カメラデータをデータパスに沿って方向付ける。デジタル信号プロセッサが、前記データパス上の前記カメラデータに対して画像処理動作を実行する。前記再構成可能コントローラは、FPGAのようなプログラマブル機能を有するハードウェア装置から構成され得る。前記カメラ制御ユニットはまた、前記画像処理動作を実行するために前記デジタル信号プロセッサによって実行可能なプログラム指示又はコードと、前記タイミング及び制御を実行するか、又はそうでなければ前記カメラ制御ユニットの機能を変えるように前記再構成可能コントローラを構成するための構成情報とを記憶するための持続性再書き込み可能メモリを含む。カメラ制御ユニットはさらに、前記プログラム指示を前記デジタル信号プロセッサにロードし、且つ前記再構成可能コントローラを前記構成情報に従って構成するシステムコントローラを含む。デジタル信号プロセッサのためのプログラム指示と再構成可能コントローラのための構成情報とを記憶するために持続性再書き込み可能メモリを利用することによって、本発明は、カメラ制御ユニットの機能をフィールドで更新することを可能にする。20

【0053】

本発明の他の局面においては、カメラ制御ユニットは、センサヘッドのタイミング及び制御のための再構成可能コントローラを含み、これが、前記センサヘッドからカメラデータを取得し、前記取得したカメラデータに対して画素前処理動作を実行する。前記カメラ制御ユニットはさらに、前記取得されたカメラデータに対して画像処理動作を実行するデジタル信号プロセッサを含む。加えて、前記カメラ制御ユニットは、画像処理動作を実行するために前記デジタル信号プロセッサによって実行可能なプログラム指示の複数のセットを記憶し、前記タイミング及び制御ならびに画素前処理動作を実行するように前記再構成可能コントローラを構成するために構成情報の複数のセットを記憶する持続性再書き込み可能メモリを含む。入力装置が、前記デジタル信号プロセッサによって使用されるべきプログラム指示のセットの選択と前記再構成可能コントローラのための構成情報のセットの選択とを可能にする。カメラ制御ユニットはまた、プログラム指示の選択されたセットを前記デジタル信号プロセッサにロードし、且つ前記再構成可能コントローラを前記選択された構成情報に従って再構成するシステムコントローラを含む。このようにして、ユーザは、カメラ制御ユニットによって実行されるべき特定の処理動作とハードウェア構成とを選択することができる。30

【0054】

本発明のさらに他の局面においては、カメラ制御ユニットは、処理済カメラデータの表示をフォーマットし、出力タイミング信号を生成する再構成可能表示フォーマッタと、前記複数のビデオフォーマットの一つを選択するビデオフォーマット選択ユニットと、前記再構成可能表示フォーマッタを、前記ビデオフォーマット選択ユニットの内部のビデオフォーマットの選択に応答してタイミング信号をフォーマットし且つ出力するように再構成する、システムコントローラと、を含む。40

【0055】

10

20

30

40

50

本発明の他の局面においては、カメラ制御ユニットは、クロック信号を生成するハードウェアクロックと、前記ハードウェアクロック信号を取得して前記ハードウェアクロック信号からD S Pクロック信号を生成するデジタル信号プロセッサ(D S P)と、センサデータを第1のクロック信号に基づいて取得し且つ処理済ビデオデータを第2のクロック信号に基づいて出力する再構成可能コントローラと、を含む。前記再構成可能コントローラは、前記D S Pクロック信号を取得して前記第1及び第2のクロック信号を生成する再構成可能論理アレイを含む。加えて、システムコントローラが提供されて、前記論理アレイを再構成して異なる第1及び第2のクロック信号を選択的に生成する。このようにして、入力及び出力クロック信号が、同じハードウェアクロック信号から独立して生成され且つ調整されることができる。

10

【0056】

本発明のさらに他の局面においては、カメラ制御ユニットは、再構成可能コントローラと、入力メモリ及び出力メモリを含み前記入力メモリ内のカメラデータを画像処理して、その処理済カメラデータを前記出力メモリに出力するためのデジタル信号プロセッサと、ビデオエンコーダとを含む。前記再構成可能コントローラは、前記センサヘッドからカメラデータを取得し、前記カメラデータを前記デジタル信号プロセッサの前記入力メモリにルーティングする。加えて、前記再構成可能コントローラは、前記デジタル信号プロセッサの前記出力メモリからの処理済カメラデータにアクセスし、前記処理済カメラデータを前記ビデオエンコーダにルーティングする。このようにして、前記デジタル信号プロセッサは、前記カメラデータの画像処理に専念することができる。なぜなら、前記入力メモリ内に処理のためにデータを配置し且つ処理済データを前記出力メモリから検索するのは、前記再構成可能コントローラであるからである。

20

【0057】

本発明の他の局面においては、カメラ制御ユニットが、リモートヘッド入力装置の動作を制御し、デジタルカメラデータをリモートヘッド入力装置から取得して処理し、処理済データをモニタに出力するために提供される。典型的には、本発明のカメラ制御ユニットと共に使用される前記リモートヘッド入力装置は、電子ビデオ内視鏡、又は従来の内視鏡のアイスコープに取り外し可能にマウントされるように構成されたスナップオン式のカメラヘッドである。

30

【0058】

このカメラ制御ユニットの一つの特徴は、このカメラ制御ユニットが複数の異なるタイプのカメラヘッドに対して適合することである。例えば、カメラヘッドは、サイズ、速さ、又は解像度の点で異なるセンサを含み得る。これらの異なるカメラヘッドに適合するために、このカメラ制御ユニットは、取り付けられたカメラヘッドの検出及び認識に応答してソフトウェア(プログラム指示)及びファームウェア(識別情報によって定義される)の特定のセットをロードすることによって、その内部機能を再構成する。

【0059】

本発明の他の特徴は、ビデオが複数の異なるフォーマットで出力されるようになるに、カメラ制御ユニットが特定の構成情報を使用して制御回路を再構成することである。このようにして、例えば、N T S C及びP A Lの両方のテレビ標準をサポートすることができる。

40

【0060】

本発明のその他の特徴は、ハードウェア加速、クロック調整可能性、ユーザ選択可能な構成、ならびにフィールドプログラマブルソフトウェア及びファームウェアを含む。

【0061】

この要約は、本発明の性質が迅速に理解され得るように提供されている。本発明のより完全な理解は、以下の詳細な記述、添付の請求項、ならびに添付の図面を参照することによって、得ることができる。

【図面の簡単な説明】

【0062】

50

【図1】本発明の例示的な実施形態にしたがったビデオ内視鏡システムの概観図である。
【図2】本発明の例示的な実施形態にしたがったカメラ制御ユニットのための入力／出力ブロック図である。

【図3】本発明の例示的な実施形態にしたがったカメラ制御ユニットのためのブロック及びデータフロー図である。

【図4】本発明の例示的な実施形態にしたがったヘッド初期化プロセスのプロセス図である。

【図5】本発明の例示的な実施形態にしたがった画素前処理を描いたブロック図である。

【図6A】本発明の例示的な実施形態にしたがった入力外部メモリ制御を描いたブロック図である。

【図6B】本発明の例示的な実施形態にしたがった出力外部メモリ制御を描いたブロック図である。

【図7】本発明の例示的な実施形態にしたがったホストプロセッサインターフェース(HPI)ユニットのためのブロック図である。

【図8】本発明の例示的な実施形態にしたがった表示フォーマッタのためのブロック図である。

【図9】本発明の例示的な実施形態にしたがったビデオエンコーダを描いたブロック図である。

【発明を実施するための形態】

【0063】

ここで図面を参照すると、図1は、本発明の一つの可能な構成を描いている。カメラ制御ユニット6は、フレキシブルビデオ内視鏡8、ならびにモニタ9、キーボード10、PC12、及びクイックスワップメモリ装置13に接続されている。一般に、画像データは、内視鏡8の遠端1に位置した画像センサによって獲得され、コード4を通じてカメラ制御ユニット6に供給される。カメラ制御ユニット6は画像データを処理して、モニタ9へ出力されるべき処理済データをフォーマットする。カメラ制御ユニット6へのユーザ入力は、キーボード10、ユーザインターフェース11、又はPC12を通して行われる。ユーザインターフェース11は、ステータスLED、スイッチ、タクトボタン、及びLCDスクリーンを含むことができるが、これに限定されるものではない。

【0064】

フレキシブルビデオ内視鏡8は、コード4の電気コネクタ7Aをカメラ制御ユニット6の相補コネクタ7Bに取り付けることによって、カメラ制御ユニット6に接続される。相補コネクタ7Bは、カードエッジレセプタクルであってもよい。フレキシブルビデオ内視鏡8は、遠端1、内視鏡シャフトアセンブリ2、内視鏡ボディアセンブリ3、及びシールされた内視鏡スイッチ5を含む。

【0065】

遠端1は、カメラヘッドと、カメラヘッドを取り囲んでシールする機械式対物ヘッドとを含む。カメラヘッドには光学システムが位置しており、これは、画像センサ、センササポート電子回路、照明端点、及びかん子チューブを含む。好ましくは、画像センサはCMOSセンサであるが、画像データを獲得してデジタル出力を生成する他のセンサもまた、利用され得る。照明端点は、LED又は光ファイバ束の端として具現化され得る。

【0066】

内視鏡シャフトアセンブリ2は、カメラヘッドの電気ワイヤ部、かん子チューブ、及び偏向プルワイヤを収納する。加えて、内視鏡シャフトアセンブリは、光ファイバ照明束を、それが使用される場合には収容し得る。

【0067】

内視鏡ボディアセンブリ3は、偏向システムとカメラヘッドのためのサポート電子回路の駆動のために使用される機械メカニズムを含む。典型的には、内視鏡ボディアセンブリ3におけるサポート電子回路は、カメラヘッドのタイプを規定するカメラパラメータを記憶するEEPROMのような永久記憶装置を含む。

10

20

30

40

50

【0068】

シールされた内視鏡スイッチ5、キーボード10、ユーザインターフェース11は、ユーザが、カメラヘッドのある電気的及び／又はソフトウェアの特徴を制御することを可能にする。加えて、内視鏡上のスイッチは、カメラ制御ユニットによって実行される処理を選択するために使用され得る。PC12及びクイックスワップメモリ13は、ユーザが、カメラ制御ユニット6内のソフトウェア及びファームウェアを更新及び維持することを可能にする。

【0069】

図2は、本発明のカメラ制御ユニットの他の可能な入力及び出力を示している。典型的にはビデオ内視鏡201と共に使用されるが、カメラ制御ユニット6はまた、光学的内視鏡（埋め込まれた画像センサなし）と共に使用されるスナップオン型カメラ202、3-Dカメラ203、及びその他のデジタル測定装置204からの入力を制御及び処理するためにも使用されることができる。加えて、カメラ制御ユニットは、クイックスワップフラッシュメモリ装置13を通して、又はPC12からのダウンロードを通して、システムのソフトウェア及びファームウェアに対するプログラム更新を受け付ける。カメラ制御ユニットの出力は、NTSC207、PAL208、RGB209、及びプログレッシブ走査210のようなアナログ出力フォーマットを含む。加えて、カメラ制御ユニットは、デジタルビデオインターフェース(DVI)211モニタのためのデジタル出力、ならびに、ハードディスクドライブのような記録システム212へのデータ記録のためのデジタル出力をサポートする。

10

20

【0070】

図3は、カメラ制御ユニット6（図1参照）の主要な構成要素、ならびに、ビデオ内視鏡のような取り付けられたカメラヘッドのセンサによって獲得されたカメラデータに対するデータパスを示すブロック図である。カメラ制御ユニットの主要構成要素は、再構成可能コントローラ302、デジタル信号プロセッサ（「DSP」）303、システムコントローラ304、及びビデオエンコーダ313を含む。好適な実施形態では、再構成可能コントローラ302は、カリフォルニア州サンホセのザイリンクス社によって製造された Spartan 2-XILINX XC2S300EのようなFPGAである。FPGAが好ましいが、コンプレックスプログラマブル論理装置（CPLD）のような他のタイプのプログラマブル論理回路も使用できる。

30

【0071】

カメラデータパスは、カメラヘッド300に位置するセンサ301から始まる。好適な実施形態では、センサ301は、ビデオ内視鏡の遠端に位置するCMOSセンサである。カメラヘッド300にはまた、照明システム340も含まれる。パワー、照明、ならびに自動ゲイン制御及び露光時間のようなカメラ制御は、インター集積回路（「I²C」）バス330を介してシステムコントローラ304によってセンサ301に提供される。センサが動作するクロックsen_clk391は、再構成可能コントローラ302によって供給される。

【0072】

センサ301によって生成された生のカメラデータの各画素は、256又は1024グレースケール又はカラーレベルにそれぞれ対応する8又は10ビットのグレースケール又はカラー解像度で、再構成可能コントローラ302に送られる。カメラヘッドのタイプに依存して、この生カメラデータは、パラレル、シリアル、あるいはパラレル／シリアルの組み合わせのいずれかで、送られることができる。生カメラデータに加えて、且つ再構成可能コントローラ302からのsen_clk信号391に基づいて、センサ301は、画素クロック（sen_pix_clk392）、ならびに垂直及び水平同期信号（sen_v_sync394、sen_h_sync395）を再構成可能コントローラ302に供給する。画素クロックは、カメラデータの画素が再構成可能コントローラ302にクロックされる速さを決める。垂直及び水平同期信号は、各フレーム及びラインの開始をそれぞれ示す。

40

【0073】

50

センサ 301 によって生成された生カメラデータは、再構成可能コントローラ 302 のデータフォーマッタ 306 によって取得される。センサクロック生成器 305 は、sen_clk 信号 391 をセンサ 301 に供給し、センサタイミングブロック 312 は画素クロック及び同期信号をセンサ 301 から取得する。加えて、センサタイミングブロック 312 は、センサヘッド 301 からの信号に基づいて、開始 / 終了ライン及び開始 / 終了画素信号のような画像サイズ制御信号を生成する。これらの信号は、そこに対するデータが望まれているセンサ領域のサブセットを特定するために使用され得る。例えば、特定のカメラヘッドの構成のために、センサヘッドは、カメラセンサデータのすべてが使用されないようウインドウをかけられてもよい。

【0074】

10

併せて、センサクロック生成器 305、データフォーマッタ 306、及びセンサタイミングブロック 312 によって生成且つ取得される信号は、取り付けられたカメラヘッドセンサとカメラ制御ユニット 6 との間の電気的インターフェースを提供する。

【0075】

データフォーマッタ 306 は、センサ 301 から画素クロックのレートで生カメラデータを取得し、取得された画素を 10 ビットパラレルフォーマットにフォーマットする。データはそれから画素前処理ブロック 307 に送られる。この時点で、画素前処理は、センサの校正及び局所的な異常を補償するように実行され得る。代表的な前処理は、図 5 に示されている。

【0076】

20

図 5 に示されているように、画素前処理は、誤画素訂正 501、黒バイアス 502、及び輝度補正 503 のような前処理機能を含むことができる。具現化される画素前処理機能の必要性及びタイプは、使用されているセンサヘッドのタイプ、及び意図されている用途に依存し得る。

【0077】

30

図 5 に見られるように、画素前処理ブロックが動作するクロックレートは、センサタイミングブロック 312 (図 3) によって供給される。一般に、このレートはセンサ 301 (図 3) によって供給される sen_pix_clk 信号 392 に依存する。加えて、センサタイミングブロック 312 は、センサ 301 の寸法に基づいて、誤画素訂正ブロック 501 に画素カウンタ及びラインカウンタを供給する。画素及びラインカウンタは、誤画素訂正ブロック 501 が、取り付けられたセンサによって生成されたフレームの内部の潜在的に誤った画素を識別し、メティアン置換の使用を通じてのよにしてそれらを訂正することを可能にする。

【0078】

40

再び図 3 を参照すると、画素前処理の後に、カメラデータ (依然として 10 ビットフォーマットになっている) はメモリ 308 に送られる。典型的には、メモリ 308 は、非同期の 16 ビット先入れ先出し (「FIFO」) レジスタとして具現化される。カメラデータはそれから、メモリ 308 からホストプロセッサインターフェース (「HPI」) ユニット 310 に送られる。HPI ユニット 310 は、カメラデータを 32 ビットフォーマットにパッケージし、それを DSP 303 内の内部入力メモリ 381 に転送する。データ転送は、直接メモリアクセス (DMA) プロトコルを使用して行われる。好適な実施形態では、DSP 303 は、テキサス州ダラスのテキサス・インスツルメンツ社によって製造された TI TMS320C6414 として具現化される。

【0079】

DSP 303 はそれから、プログラムメモリ 385 に記憶されたプログラム指示によって規定されているように、取得したカメラデータに対して画像処理動作を実行する。プログラム指示は、システムコントローラ 304 によって、シリアルポートインターフェース (「SPI」) 380 を介してプログラムメモリ 385 にロードされる。処理済カメラデータは、内部出力メモリ 384 に記憶される。

【0080】

50

D S P 3 0 3 がカメラデータを処理した後に、H P I ユニット 3 1 0 は再びD M A プロトコルを使用して、出力メモリ 3 8 4 からの処理済データにアクセスする。この 3 2 ビットデータは 1 6 ビットにデコードされて、メモリ 3 0 9 に記憶される。メモリ 3 0 8 のように、メモリ 3 0 9 は、典型的には非同期 1 6 ビットF I F O レジスタとして具現化される。処理済カメラデータはそれから表示フォーマット 3 1 1 に渡されて、これが、選択された出力フォーマットに対する出力タイミング及び制御信号を調整する。出力フォーマットは、ユーザインターフェース 1 1 上のスイッチで、又はキー ボード 1 0 上の選択によって、選ばれることができる。加えて、表示フォーマット 3 1 1 は、処理済カメラデータに対して重ね書きテキストを追加する。

【 0 0 8 1 】

処理済カメラデータはそれから、選択された出力フォーマットにしたがって表示フォーマット 3 1 1 によって生成されたエンコーダクロック信号 (enc_clk 3 9 6) と共に、ビデオエンコーダ 3 1 3 に渡される。エンコーディング後に、ビデオデータはモニタ 9 に送られる。

【 0 0 8 2 】

システムコントローラ 3 0 4 は、上述のパスに沿ったデータの流れをモニタ及び制御する。システムコントローラ 3 0 4 は、センサ 3 0 1 の動作を制御し、D S P 3 0 3 によって実行されるソフトウェアのロード及び再構成可能コントローラ 3 0 2 の再構成に対して責任を有する。好適な実施形態では、システムコントローラ 3 0 4 が、イリノイ州シャンバーグのモトローラ社によって製造されたモトローラ9HCS12として具現化される。

【 0 0 8 3 】

以下のセクションでは、システムコントローラ 3 0 4 とカメラ制御ユニット 6 の他の構成要素との間のどのような相互作用によって、マルチヘッド適合可能性、複数出力能力、ハードウェア加速、クロック調整可能性、ユーザ選択可能構成、ならびにフィールドプログラマブルソフトウェア及びファームウェアといった機能を達成するかを示す。

【 0 0 8 4 】

[マルチヘッド適合可能性]

上述のように、本発明の一つの特徴は、カメラ制御ユニットが、異なるタイプのセンサ及びカメラヘッドに適合するようにその機能を再構成する能力にある。このようにして、一つのカメラ制御ユニットが複数の異なるヘッドに対して使用され得る。

【 0 0 8 5 】

図 4 は、新しいカメラヘッドがとり付けられたときに、システムコントローラ 3 0 4 によって実行されるカメラ制御ユニットに対するヘッド初期化プロセスを示している。ステップ S 4 0 1 にて、システムコントローラ 3 0 4 は、I²C バス 3 3 0 を介して供給され得るヘッド検出信号をポーリングする。ステップ S 4 0 2 にて何も信号が検出されないと、ステップ S 4 0 8 は、ヘッドが取り付けられていないことを示すメッセージをモニタ 9 に表示する。あるいは、メッセージは、ユーザインターフェース 1 1 に位置するL C D スクリーン上に表示されることができる。

【 0 0 8 6 】

フレキシブルビデオ内視鏡 8 のようなリモードヘッド入力装置がカメラ制御ユニット 6 に取り付けられたときには、システムコントローラ 3 0 4 は、ヘッド検出信号をI²C バス 3 3 0 を介して取得する。ステップ S 4 0 2 はステップ S 4 0 3 に進み、カメラヘッド 3 0 0 に位置するE P R O M 3 5 0 のような読み出し可能カメラパラメータ記憶装置に記憶されたカメラパラメータが、システムコントローラ 3 0 4 によってI²C バス 3 3 0 を介して読み出される。カメラパラメータは、カメラのタイプ、バージョン、シリアル番号、画像サイズのタイプ、画像フォーマットのタイプ、白バランス参照マトリクス、カラー訂正マトリクス、輝度補正ルックアップテーブル、及び誤画素インデックスリストのようなデータフィールドを含み得る。

【 0 0 8 7 】

ステップ S 4 0 4 で、ステップ S 4 0 3 にて獲得したカメラパラメータに基づいて、シ

10

20

30

40

50

システムコントローラ 304 は内部ルックアップテーブル 371 を参照して、取り付けられたカメラヘッドのタイプに対してはどのような機能が利用可能かを判別する。カメラタイプ又はシリアル番号のようなカメラパラメータは、ルックアップテーブル 371 にて、フラッシュメモリ装置又は EEPROM のような持続性再書き込み可能メモリに記憶された構成情報及びプログラム指示の一つ又はそれ以上のセットに関連付けられている。図 3において、持続性再書き込み可能メモリはフラッシュメモリ 317 として描かれている。構成情報及びプログラム指示は、カメラ制御ユニットの機能を規定する。

【0088】

1 セットの構成情報及びプログラム指示のみが取り付けられたカメラヘッドと一緒に利用可能であれば、そのセットが選択されて、ヘッド初期化プロセスはステップ S405 に進む。取り付けられたカメラヘッドに対して複数のセットの構成情報及びプログラム指示が利用可能であれば、ステップ S404 はユーザに、所望の機能の選択の入力を促す。ユーザプロンプトは、モニタ 9 又はユーザインターフェース 11 上の LCD に現れ得る。ユーザの選択は、ユーザインターフェース 11 上のタクトボタン、キーボード 10、又は内視鏡スイッチ 5 の使用によって達成されてもよい。

10

【0089】

ステップ S405において、ステップ S404 での機能の選択に基づいて、システムコントローラ 304 はフラッシュメモリ 317 から選択された構成情報 360 のセットを獲得して、それにしたがって再構成可能コントローラ 302 を構成する。好適な実施形態では、構成情報 360 は、コンパイルされた VHDL プログラム（「VHDL」は VHSIC (超高速集積回路) ハードウェア記述言語を指す）である。VHDL は、FPGA 又は CPLD のようなプログラマブル論理装置を構成するために使用されるプログラミング言語である。加えて、Verilog のような他のプログラミング言語もまた、構成情報 360 として使用されることが出来る。ただし、そのプログラミング言語は、フラッシュメモリ 317 にコンパイルされた形式で記憶されていることが好ましい。好適な実施形態では、選択された構成情報は、FPGA プログラミングピンを利用することによって再構成可能コントローラ 302 を構成するために使用される。例えば、Spartan 2-XILINX XC2S300E のための FPGA プログラミングピンは、構成データ入力ピン D0 ~ D7 である。図 3において、プログラミングピンは、制御ピン 335 によって一般的に表されている。

20

【0090】

ステップ S406において、ステップ S404 での機能の選択に基づいて、システムコントローラ 304 はフラッシュメモリ 317 から選択されたプログラム指示 370 を獲得して、そのプログラム指示 370 を DSP303 のプログラムメモリ 385 にロードする。プログラム指示は DSP303 によって実行可能なプログラムコードであって、システムコントローラ 304 によって、シリアルポートインターフェース (SPI) バス 380 を介してフラッシュメモリ 317 から DSP303 にロードされる。

30

【0091】

最後に、ステップ S407 にて、カメラ制御ユニット 6 は、DSP303 内の動作的プログラム指示（すなわちソフトウェア）、ならびに図 3 を参照して上述した構成可能コントローラ 302 にロードされた構成情報（すなわちファームウェア）を実行することによって、通常の動作を進行する。

40

【0092】

ステップ S405 及び再構成可能コントローラ 302 の構成の参考に戻ると、新しいカメラヘッドに応答して再構成され得る再構成可能コントローラ 302 の一つの部分は、電気的インターフェースのための制御回路である。上述のように、センサクロック生成器 305、データフォーマッタ 306、及びセンサタイミングブロック 312 によって生成され且つ取得された信号は、取り付けられたカメラヘッドとカメラ制御ユニット 6 との間の電気的インターフェースを提供する。電気的インターフェースの信号がどのように生成され且つ操作されるかを変更することは、異なるヘッドに適合するための再構成可能コントローラ 302 の再構成の一つの特徴である。

50

【0093】

再び図3を参照すると、取り付けられた異なるカメラヘッドに基づいて設定される一つの信号は、センサクロック生成器305によって生成されるセンサクロック信号である。センサクロック生成器305は、入力DSPクロック信号(DSP_CLK325)をDSP303から取得する。センサクロック生成器305は、分割器、又はシステムコントローラ304が制御バス335を使用して構成できる制御可能フェーズロックループ回路として構成され得る。好適な実施形態では、入力DSPクロック信号は96MHzであり、これは、センサクロック生成器305によって48、24、16、12、8、又は3MHzのクロック信号を生成するために使用されることができる。例えば、 352×288 のセンササイズのカメラヘッドは12MHzのセンサクロックのみを必要とするが、より大きな 1024×790 のセンサは48MHzのセンサクロックを必要とし得る。センサクロック生成器305を使用してDSPクロック信号からセンサクロック信号を生成することに加えて、DSP303を使用してセンサクロック信号を直接生成してもよく、あるいは、センサクロック信号の生成がDSP303とセンサクロック生成器305との間で分割されてもよい。

10

【0094】

センサタイミングブロック312は、カメラヘッドのタイプに基づいて、カメラヘッドから取得されたクロック及び同期信号から、接続されたカメラヘッドに対して調整された信号を生成するように再構成される。一般的には、センサタイミングブロック312は、センサによって生成された画素クロック及び同期信号を、データフォーマッタ306、画素前処理ブロック307、及びメモリ308に渡す。加えて、センサタイミングブロック312は、画素前処理ブロック307で(図5の)誤画素訂正501のためのラインカウンタ及び画素カウンタを生成し、これらの信号の生成は、カメラヘッドのタイプに依存する。これらのライン及び画素カウンタは、カメラヘッドのセンササイズに依存し、これにより、コントローラ304によって制御バス335を通してセンサタイミングブロック312内に構成されることができる。

20

【0095】

加えて、センサタイミングブロック312は、開始/終了ライン及び開始/終了画素制御信号のような画像サイズ制御信号を生成するように再構成されることができる。これらの信号は、画像センサの有効なデータ領域又はウインドウの開始及び終了をマークする。結果として、これらの信号は、カメラ制御ユニットが画像センサの規定された領域からのカメラデータを廃棄し且つ所望の領域からのカメラデータのみを処理することを可能にする。例えば、スナップオンカメラに対する画像センサは長方形形状を有し得る。しかし、スナップオンカメラは光学内視鏡の円形のアイスコープを「通して見る」ので、センサの視野領域がアイスコープの視野領域よりも大きければ、エッジの周囲のデータは必要とされない。開始/終了ライン及び開始/終了画素制御信号の使用を通じて、エッジからのカメラデータが廃棄ができて、これにより、処理速度を改善する。同様に、開始/終了ライン及び開始/終了画素制御信号は、デジタルズームのための領域を規定するために使用されることができる。

30

【0096】

再構成され得る電気的インターフェースの更なる局面は、データフォーマッタ306のそれである。上述のように、データフォーマッタ306は、典型的にはセンサ301から8又は16ビットの生カメラデータを取得して、それを10ビットのパラレルフォーマットにアレンジする。しかし、データフォーマッタ306の論理回路がシステムコントローラ304によって制御バス305を使用して再構成され得るので、他のデータフォーマットも生成され得る。例えば、より大きなビットのフォーマットが、より高い解像度のセンサに対しては有用であり得る。加えて、パラレル又はシリアルデータのような可変フォーマットのデータストリームを受け付けるようにデータフォーマッタ306を再構成する必要があることもある。

40

【0097】

50

再構成は、電気的インターフェースに限られるものではない。再構成可能コントローラ 302 の他の局面もまた、再構成され得る。例えば、画素前処理ブロック 307において、異なる処理機能が異なるカメラヘッドに対して有効であり得る。電気的インターフェース制御回路によってのように、システムコントローラ 304 は、新しいカメラヘッドの取り付けに応答して画素前処理ブロック 307 を再構成し得る。以前のように、再構成は、制御バス 335 を通して達成される。システムコントローラ 304 は、取得したカメラパラメータを、フラッシュメモリ 317 に記憶された構成情報と関連付けて、画素前処理ブロック 307 を取り付けられたカメラヘッドのために使用される前処理プロセスで再構成する。加えて、ある前処理機能に対しては、必要なマトリクス及びルックアップテーブルをフラッシュメモリに記憶する代わりに、白バランス参照マトリクス、カラー訂正マトリクス、輝度補正ルックアップテーブル、及び誤画素インデックスリストのようなカメラパラメータデータの特定の領域が画素前処理ブロック 307 にロードされることができる。

【0098】

新しいカメラヘッドに対して再構成され得る再構成可能コントローラ 302 の他のブロックは、メモリ 308 である。たいていのセンササイズに対して、メモリ 308 は非同期 16 ビット FIFO として具現化されるが、より大きなメモリ量が、より大きなセンサに対しては必要とされ得る。加えて、DSP 303 のプログラムメモリ 385 に記憶された幾つかのプログラムに対しては、16 ビット FIFO レジスタは十分な容量を有していないかもしれない。この場合、システムコントローラ 304 は、図 3 に一般的に 615 で示され且つ以下でより十分に議論される SDRAM のような再構成可能コントローラの外部のメモリへの書き込み用のコントローラとして機能するように、メモリ 308 を再構成することができる。

【0099】

図 6A は、この付加的な構成を描いている、図 6A に示されているように、入力 FIFO 610 は画素前処理ブロック 307 から 10 ビットデータ信号を取得する。このデータは、典型的にはセンサ 301 によって生成された sen_pix_clk 392 であるセンサタイミング信号に基づいてクロックされる。システムコントローラ 304 は、制御バス 335 を使用して書き込みアドレス生成器 611 を構成し、SDRAM コントローラ 612 によって使用される書き込みアドレスを生成する。SDRAM コントローラは、データを入力 FIFO ならびに書き込みアドレス生成器から取り出し、カメラデータを外部 SDRAM 615 に書き込む。

【0100】

データを SDRAM 615 から検索するために、システムコントローラ 304 は読み出しあドレス生成器 613 を構成して、SDRAM コントローラ 612 によって使用される読み出しあドレスを生成する。このアドレスを使用して、SDRAM 612 はアドレスされたデータを SDRAM 615 から検索し、カメラデータを出力 FIFO 614 に渡す。このデータは、HPI ユニット 310 に渡される前にパッドすることによって 16 ビットに再フォーマットされる。

【0101】

図 6B は、すでに処理された画像データを HPI ユニット 310 から表示フォーマッタ 311 に渡すための同様の構成を描いている。より具体的には、入力 FIFO 620 は、16 ビットデータ信号を HPI ユニット 310 から取得する。システムコントローラ 304 は制御バス 355 を使用して書き込みアドレス生成器 621 を構成し、SDRAM コントローラ 622 によって使用される書き込みアドレスを生成する。SDRAM コントローラ 622 は、データを入力 FIFO 620 ならびに書き込みアドレス生成器 621 から取り出し、カメラデータを外部 SDRAM 625 に書き込む。データを SDRAM 625 から検索するために、システムコントローラ 304 は読み出しあドレス生成器 623 を構成して、SDRAM コントローラ 622 によって使用される読み出しあドレスを生成する。このアドレスを使用して、SDRAM 622 はアドレスされたデータを SDRAM 625 から検索し、カメラデータを出力 FIFO 624 に渡す。このデータはそれから、表示フ

10

20

30

40

50

オーマッタ 311 に渡される。

【0102】

再び図 3 を参照すると、先に言及されたように、DSP303 は、プログラム指示 370 をフラッシュメモリ 317 から DSP303 プログラムメモリ 385 に SPI バス 380 を使用してロードすることによって、プログラムされることができる。これらのプログラム指示は、カメラヘッドのタイプに基づいて特定化された画像処理を有効にするプログラム、及び / 又はユーザによって選択された好みに応答したプログラムのように、ユーザの意中の様々な目的に応じてロードされる。後者は、以下の「ユーザ選択可能ソフトウェア」という名称のセクションにて議論される。前者において、ロードされたプログラム指示は、システムコントローラ 304 によって検出されたカメラヘッドに関連付けられる。DSP303 によって実行されるカメラヘッドに依存したプログラム指示の例は、輝度補正、エッジ強調、及びカラースムージングを含む。

10

【0103】

上記で言及されたすべての再構成が、新しいカメラの検出及びそのカメラパラメータの読み出しに応答して実行されるが、カメラ識別は、必ずしもそれを読み出し可能カメラパラメータ記憶装置から読み出すことなく、獲得されることができる。例えば、新しいカメラヘッドは校正プロセスを通じて識別されることができる。加えて、センササイズのようなカメラの特徴は、同期信号から推測され得る。

20

【0104】

[複数出力能力]

本発明の複数出力能力は、ユーザが、処理済カメラデータに対する表示について、複数のビデオフォーマットから選択することを可能にする。例えば、ユーザは、NTSC、PAL、及び RGB フォーマットから、使用されているディスプレーのタイプに依存して選ぶことができる。図 2 を参照すると、ユーザは、カメラ制御ユニット 6 のユーザインターフェース 11 上のコントロールを使用して、又は、キーボード 10 による選択によって、ビデオ出力フォーマットを選択し得る。加えて、選択は、カメラ制御ユニット 6 に取り付けられた PC 12 上のソフトウェアを介した選択によってなされることもできる。

30

【0105】

再び図 3 を参照すると、ユーザがビデオ出力の選択をひとたび行うと、システムコントローラ 304 は、その選択をエンコーダ制御ライン 345 を介してビデオエンコーダ 313 に知らせて、再構成可能コントローラ 302 を構成する。例えば、ユーザが NTSC 出力を選択すると、システムコントローラ 304 は、ビデオエンコーダ 313 がセンサデータ信号を 525 ライン / フレームでエンコードすることを促す信号を送り、TVクロック生成器 316 を構成して 60 Hz のクロック信号を生成する。一方、ユーザが PAL 出力を選択すると、システムコントローラ 304 からの信号は、625 ライン / フレームでのエンコードを促し、TVクロック生成器 316 を構成して 50 Hz のクロック信号を生成する。

30

【0106】

再構成可能コントローラ 302 の構成に関して、システムコントローラ 304 は表示フォーマッタ 311 に制御バス 335 を介して信号を送る。図 8 を参照すると、この信号は表示タイミングブロック 804 を再構成して、開始 / 終了画素及び開始 / 終了ライン制御信号を生成し、これらが、所望の表示寸法に基づいて有効なデータを識別する。表示タイミングブロック 804 はまた、カーソル駆動のためのフレーム番号データも生成する。これにより、システムコントローラ 304 は、ユーザのビデオフォーマットの選択に応答して、表示タイミングブロック 804 によって生成された出力タイミング信号を再構成する。Enc_clk 396 がビデオエンコーダ 313 に送られて、以下に述べるように、テキストデータの表示と処理済センサデータとを同期させるためにも使用され得る。

40

【0107】

表示フォーマッタ 311 は、処理済センサデータ信号をメモリ 309 から取得し、デコーダ 802 を使用して、そのデータフォーマットを 16 ビットから 8 ビットに変換する。

50

変換されたデータは、それから表示マルチプレクサ 803 に送られる。重ね書きユニット 801 は、重ね書きテキストコンテンツを含むデータをシステムコントローラ 304 から制御バス 335 を介して取得し、タイミングデータを含むデータを表示タイミングブロック 804 から取得する。重ね書きユニット 801 は、重ね書きテキストデータに対する輪郭を生成し、適切にタイミングされたテキストデータ信号を表示マルチプレクサ 803 に送る。表示マルチプレクサ 803 は、処理済センサデータ信号とテキストデータ信号とを合成し、合成された信号をビデオエンコーダ 313 に送る。

【0108】

代替的な構成では、テキストデータは、センサデータと合成される必要は無い。例えば、テキストは、それ自身のスクリーン上に、センサデータとは別個に表示されてもよい。この構成は、重ね書きユニット及び表示マルチプレクサの使用を省略する。

10

【0109】

再び図 3 を参照すると、ビデオエンコーダ 313 はセンサデータ及び enc_clk 396 を表示フォーマット 311 から取得し、エンコーダ制御信号 345 をシステムコントローラ 304 から取得する。ビデオエンコーダ 313 の構成は、図 9 に示されている。図 9 を参考すると、アナログ TV エンコーダ 911 が処理済センサデータを、システムコントローラ 304 から取得したエンコーダ制御信号 345 によって促されたビデオフォーマットにエンコードする。これにより、アナログ TV エンコーダ 911 は、PAL 又は NTSC、コンポジット又は RGB のようなビデオフォーマットのユーザの選択に応答して、表示フォーマットを再構成する。加えて、デジタル・アナログ (D/A) 変換器 912 はまた、センサデータを VGA 出力に変換するためにも使用され得る。ビデオエンコーダ 313 はまた、センサデータのための通過路も含み得て、DVI モニタ上の表示又はハードディスクドライブ上の記録のためのデジタルセンサデータの出力を許容する。したがって、ビデオエンコーダ 313 は、ユーザが選択したビデオフォーマットを含む複数の出力を含み得る。

20

【0110】

[ハードウェア加速]

再び図 3 を参考すると、再構成可能コントローラ 302 の FPGA は、DSP 303 を代表して入力及び出力処理を取り扱うようにプログラムされる。入力及び出力処理を担うのは FPGA であるので、DSP 303 はこれらのタスクから解放され、その処理パワーを画像処理のタスクに専念させることができる。マルチヘッド適合可能性に関して上述したように、再構成可能コントローラ 302 は、非常に可変するタイムベース、入力データフォーマット、及び画素前処理要件を有するセンサを取り扱うように構成可能である。加えて、センサタイミングブロック 312 は、非光学的デジタルズーム機能を具現化するように、入力タイミングを調整することができる。さらに、再構成可能コントローラ 302 は、異なる出力フォーマット及びタイミングを生成するように構成可能である。これより、再構成可能コントローラは、センサと DSP との間、ならびに DSP と出力との間のインターフェースとして機能する。このようにして、カメラ制御ユニットは、向上したスループット及びより少ない遅延を達成することができる。

30

【0111】

より具体的には、再構成可能コントローラ 302 がスループットを増す一つの方法は、センサ 301 と DSP 303 との間のインターフェースとして機能することによってである。上述のように、再構成可能コントローラ 302 は、センサにタイミングを供給し、入ってくるデータをフォーマットし、データに対して任意の必要な画素前処理を実行し、入ってくるデータを DSP による使用のためにメモリに記憶する。逆に、再構成可能コントローラ 302 は、DSP によって既に処理されたデータにメモリからアクセスし、そのデータを表示用にフォーマットし、それをビデオエンコーダに送信する。

40

【0112】

図 7 は、DSP とのインターフェースをより詳細に描いている。カメラデータは、(図 3 の) メモリ 308 から HPI ユニット 310 に送られる。HPI ユニット 310 内で、

50

デコーダ711は、メモリ308からの16ビットデータを32ビットデータフォーマットにパッケージする。そして、HPIコントローラ712は、32ビットデータをDSP303の入力メモリ381(両方とも図3)にHPIクロックレート(典型的には40MHz)でクロックする。HPIコントローラは、直接メモリアクセス(DMA)プロトコルを使用してデータをDSP303のメモリ381に送る。このようにして、DSPのリソースは、データ転送に浪費されない。

【0113】

同様に、DSP303がある数のカメラデータライン(好ましくは2ラインのカメラデータ)の処理を終了すると、HPIコントローラ712は、DMAを使用して処理済カメラデータを出力メモリ384から再構成可能コントローラ302にクロックし戻す。そして、デコーダ713は、32ビットデータを16ビットフォーマットに変換して、処理済データをメモリ309に送り、(図3の)表示フォーマッタ311に送る。このようにして、再構成可能コントローラ302は、出力インターフェースに対するDSPとしても機能する。

10

【0114】

[クロック調整可能性]

本発明の他の特徴はハードウェアクロック信号の使用にあり、そこから、他のクロック信号がソフトウェアによって調整可能なクロック周波数で生成されることができる。図3の参照に戻ると、ハードウェアクロック314がクロック信号をDSP303に供給する。このクロック信号から、DSP303は2つのDSPクロック信号、DSP_CLKS325を生成する。好適な実施形態では、ハードウェアクロック314は48MHzの信号を生成し、DSP303は144MHz及び96MHzのクロック信号を生成する。これら2つのクロック信号は、再構成可能コントローラ302に供給される。この実施形態ではDSP_CLKS325を生成するのはDSPであるが、これらのクロックがカメラ制御ユニット内の他のハードウェアによって生成されることも可能である。

20

【0115】

再構成可能コントローラ302は、DSPクロック信号を使用して、センサ、表示フォーマッタ、ビデオエンコーダ、及びHPIユニットのためのクロック信号を生成する。センサクロック生成器305に関連して上述したように、再構成可能コントローラ302内のクロック生成器は、典型的には分割器又は制御可能なフェーズロックループ回路として具現化される。センサクロック生成器305、HPIクロック生成器315、TVクロック生成器316、及びエンコーダクロックは、各々システムコントローラ304によって構成可能である。データフローの各フェーズに対して別個のクロック生成器を準備することによって、カメラ制御ユニットは、入力及び出力タイミングを独立して変えることができる。

30

【0116】

入力及び出力タイミングを独立して変えることは、ビデオシステムの出力タイミングを出力装置のタイミング要件(例えばNTSC又はPAL)に従わせることが典型的に必要であることから、有用である。しかし、入力タイミングに対する要件は、一般に、より大きく可変である。画像内の動き量、利用可能な光の強度、ならびに使用されているセンサのタイプ及びサイズのような要因は、どのような入力タイミングが最適であるかに影響を与えることができる。入力タイミングに対してソフトウェア制御可能なクロックを与えることによって、微調整を行うことができる。例えば、微調整は、信号を改良するゲイン増幅器の代わりに、センサ露光タイミングに対して行われることができる。ゲイン増幅器は一般的にノイズを引き起こすので、これが望まれる。さらに、出力タイミング信号は入力タイミング信号から独立しているので、入力タイミングに対する微調整は、出力ビデオ信号におけるタイミング異常を生成しない。

40

【0117】

[ユーザ選択可能な構成]

本発明の他の特徴によると、ユーザは、複数のオプションのメニューからの選択による

50

のと同様にして、カメラ制御ユニットによって使用されるプログラム指示（すなわちソフトウェア）及び構成情報（すなわちファームウェア）を選択することができる。キーボード10又はユーザインターフェース11（両方とも図1）を用いることによって、ユーザは、システムコントローラ304に、再構成可能コントローラ302及びDSP303によって実行されるべき構成情報及びプログラム指示の特定のセットをロードするように指示することができる。加えて、選択は、カメラヘッド自身の内視鏡スイッチ5を使っても達成され得る。

【0118】

本発明のこの局面の一つの好適な実施形態に従うと、システムコントローラ304が新しいカメラヘッドを検出した後に、再構成可能コントローラを再構成してプログラム指示を所定のソフトウェア及びファームウェアと共にDSPにロードする代わりに、ユーザが、各々が異なる医療用途又は条件に対する使用に向けられた2つ又はそれ以上のセットの構成情報及びプログラム指示からの選択を促されてもよい。ある場合には、取り付けられたカメラヘッドは、1セットの構成情報及びプログラム指示のみを有しているかもしれない。複数のセットがある場合には、ユーザは、例えば、標準の構成情報及びプログラム指示の設定のプロファイル、又は低光条件でより良く動作するプロファイルを選択するオプションを与えられてもよい。ひとたびユーザが実行されるべきプログラム指示を選択すると、システムコントローラ304はフラッシュメモリ317にアクセスして、選択されたプログラム指示を獲得し、それからそれらを、マルチヘッド適合可能性に関して上述したように、実行のためにDSP303にロードする。加えて、システムコントローラ304は、再構成可能コントローラ302を選択された構成情報で再構成する。新しいヘッドが検出されたときに実行される変化によるのと同様に、異なる構成情報及びプログラム指示の選択は、ゲイン指數及びフィルタ特性のような単純な数字データ点の変更には限定されない。代わりに、構成情報及びプログラム指示のユーザの選択は、タイムベース及びデジタルズームのシフトのような異なる用途に対して使用される顕著なハードウェアの変更を許容する。

【0119】

[フィールドプログラマブルソフトウェア及びファームウェア]

本発明の他の特徴は、カメラ制御ユニットに対して利用可能であるソフトウェア（プログラム指示）及びファームウェア（構成情報によって構成される）の両方をフィールドにて更新する能力である。「フィールドにて」とは、カメラ制御ユニットが、病院のような最終ユーザに届いた後の時点を指す。カメラ制御ユニット6によって利用されるプログラム指示370及び構成情報360は、フラッシュメモリ317に記憶される。フラッシュメモリ317が更新されることができる一つの方法は、PCダウンロードを通じてである。再び図3を参照すると、カメラ制御ユニット6はシリアルポートインターフェース318を含み、これがPC12に接続可能である。システムコントローラ304は、プログラム指示及び構成情報のPCからインテーフェースを通してフラッシュメモリ317までの転送を制御する。加えて、フラッシュメモリ317はまた、クイックスワップフラッシュメモリ13の使用を通しても、更新されることができる。PCダウンロードと同様に、クイックスワップ装置はカメラ制御ユニットのシリアルポート装置に接続されて、ダウンロードはシステムコントローラ304によってパワー供給され且つ制御される。これらの更新可能性のいずれも、カメラ制御ユニットを製造者又はサービスセンタに戻すことを要さずに、適切に訓練された個人によって実行されることがある。

【0120】

再構成可能コントローラ及びDSPの特徴と組み合わせて、ソフトウェア及びファームウェアの両方がフィールドで更新されることを許容することで、本発明のカメラ制御ユニットは、新しいカメラヘッド、画素前処理アルゴリズム、及び画像処理ソフトウェアに、ハードウェアを変更することなく適合することができる。

【0121】

フィールドプログラマブルソフトウェア及びファームウェアの特徴はまた、再構成可能

10

20

30

40

50

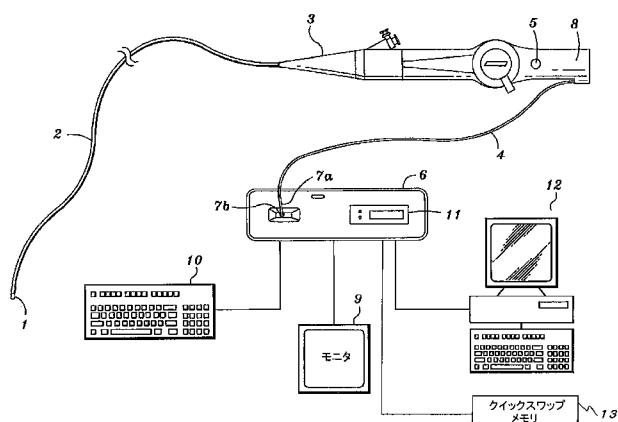
コントローラ302とDSP303との間のそれらの現在の割り当てからの機能の再分配も実現する。上述のように、入力及び出力処理はいくつかの前処理と一緒に再構成可能コントローラ302によって取り扱われ、画像処理はDSP303によって取り扱われる。ソフトウェア及びファームウェアをフィールドで更新することは、典型的にはDSP303によって取り扱われる画像処理動作の幾つかを再構成可能コントローラ302にシフトすることを含み得る。同様に、入力及び出力処理、ならびに／または前処理動作が、DSP303によって取り扱われるようシフトされることができる。

【0122】

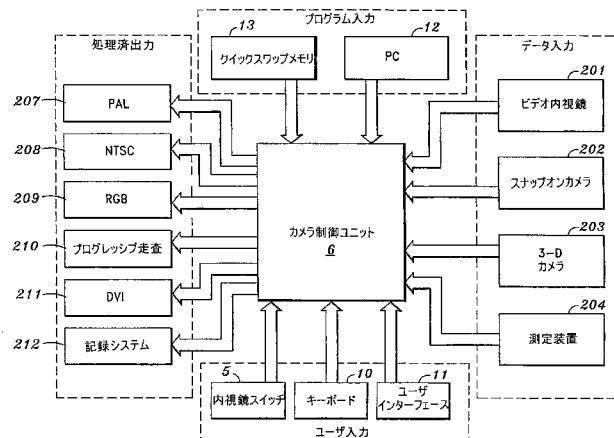
本発明が、特定の描写的な実施形態に関して上記で記述してきた。本発明が上述の実施形態に限定されないこと、及び様々な変更及び改変が関連技術の当業者によって本発明の思想及び範囲を逸脱することなく成され得ることが、理解される。これより、本発明の現在の実施形態は、すべての点で、描写的ではあるが限定的ではないものとして理解されるべきであり、本発明の範囲は、これまでの記述ではなく、本願明細書によってサポートされる任意の請求項、添付の図面、及び請求項の等価な内容によって決定されるべきである。

10

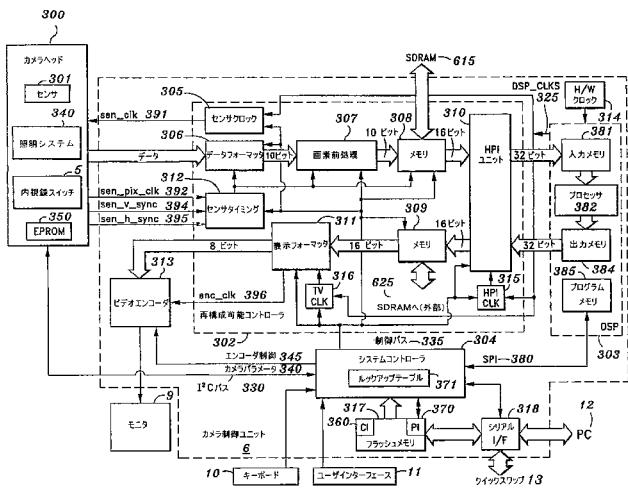
【図1】



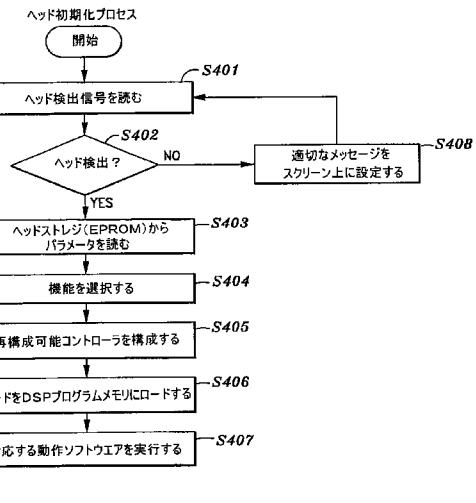
【図2】



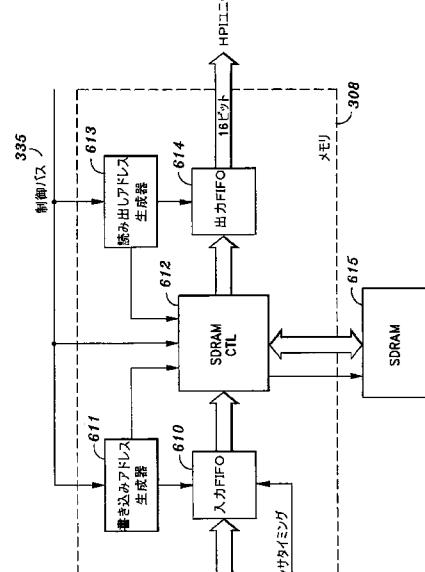
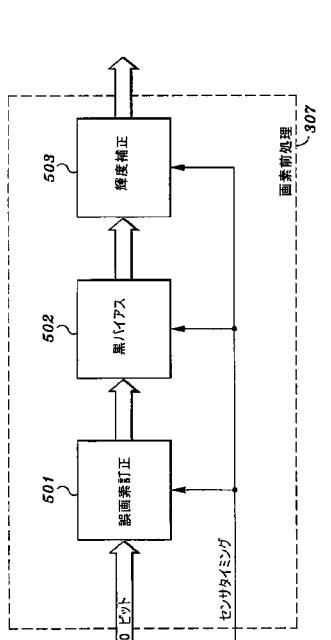
【図3】



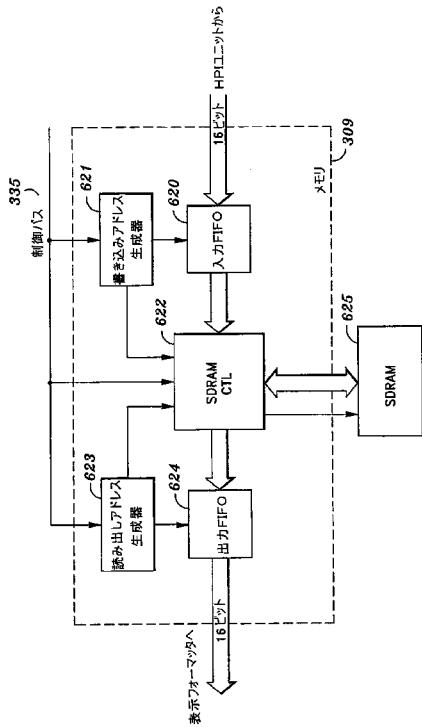
【図4】



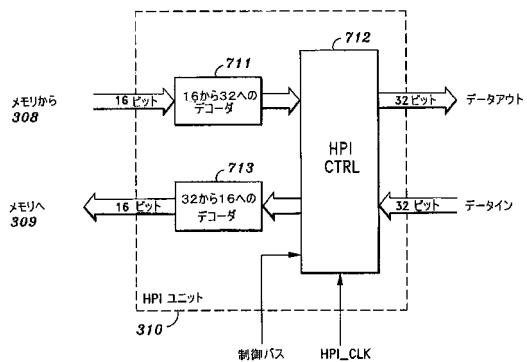
【図5】



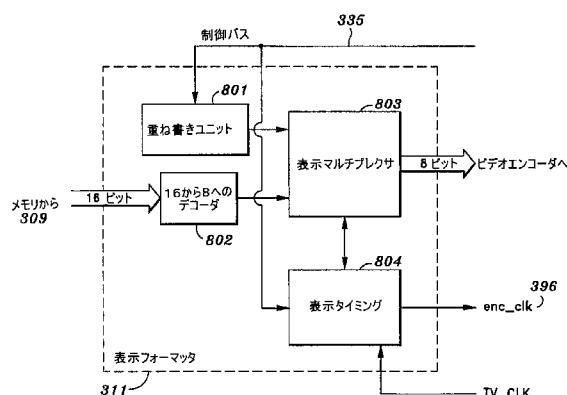
【図 6B】



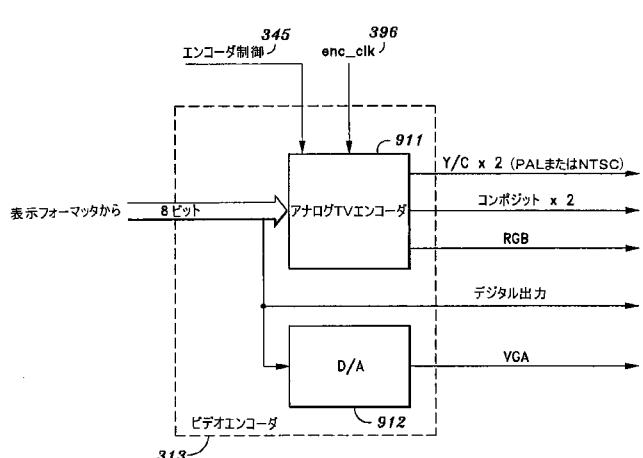
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 ブランツビッグ アリー

イスラエル ネタンヤ チャヤット ストリート 8

F ターム(参考) 2H040 GA01 GA02 GA11

4C161 CC06 DD04 GG11 JJ18 LL02 NN01 NN07 RR01 RR25 SS05

SS21 TT12 YY02 YY14

5C054 CH08 ED00 EE00 HA12

专利名称(译)	一种内窥镜检查设备，支撑多个输入设备		
公开(公告)号	JP2014036888A	公开(公告)日	2014-02-27
申请号	JP2013223463	申请日	2013-10-28
[标]申请(专利权)人(译)	捷锐士阿希迈公司(以奥林巴斯美国内外技术名义)		
申请(专利权)人(译)	上回代理CMI油墨		
[标]发明人	アドラー ドロン フィンクマン シャイ プランツビッグ アリー		
发明人	アドラー ドロン フィンクマン シャイ プランツビッグ アリー		
IPC分类号	A61B1/00 A61B1/04 H04N7/18 G02B23/24		
CPC分类号	A61B1/0676 A61B1/045 A61B1/0684 H04N5/23209 H04N2005/2255		
FI分类号	A61B1/00.300.B A61B1/04.370 H04N7/18.M G02B23/24.B A61B1/00.640 A61B1/00.650 A61B1/04 A61B1/04.510		
F-TERM分类号	2H040/GA01 2H040/GA02 2H040/GA11 4C161/CC06 4C161/DD04 4C161/GG11 4C161/JJ18 4C161/LL02 4C161/NN01 4C161/NN07 4C161/RR01 4C161/RR25 4C161/SS05 4C161/SS21 4C161/TT12 4C161/YY02 4C161/YY14 5C054/CH08 5C054/ED00 5C054/EE00 5C054/HA12		
代理人(译)	吉田健治 石田 纯		
优先权	10/942210 2004-09-15 US		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有能够支持多个输入设备的摄像机控制单元的远程头部成像系统。解决方案：此摄像机控制单元（6）检测与其连接的输入设备，并相应地更改摄像机控制单元的内部功能。这些变化包括改变时钟定时，改变视频输出参数和改变图像处理软件。另外，用户可以基于附加的头部选择不同组的软件程序指令和硬件配置信息。该远程头部成像系统利用现场可编程电路，例如现场可编程门阵列（FPGA），以促进配置的改变。The

